

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-194205

(43)Date of publication of application : 30.07.1996

(51)Int.CI.

G02F 1/133
G02F 1/1343
G09G 3/36

(21)Application number : 07-005742

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.01.1995

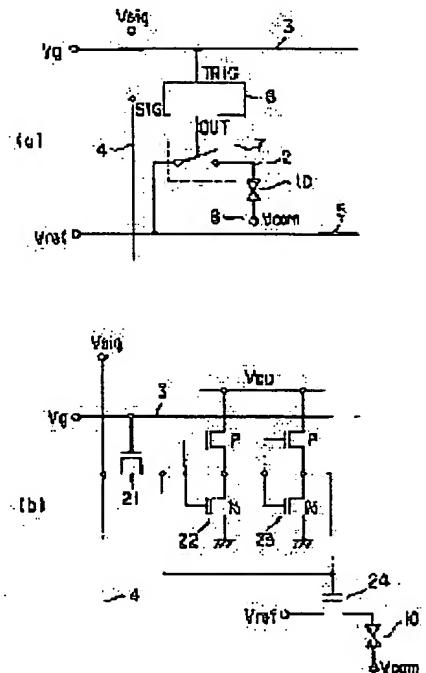
(72)Inventor : MOTA TOMONOB
SUZUKI KOHEI

(54) ACTIVE MATRIX TYPE DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide an active matrix type liquid crystal display device with which the reduction of the electric power consumption of a driver IC is possible.

CONSTITUTION: This active matrix type liquid crystal display device has pixel electrodes 2 which are arranged in a matrix form on a first substrate, scanning lines 3 which are arranged in the horizontal direction between these pixel electrodes 2, signal lines 4 which are arranged in the vertical direction between the pixel electrodes 2, memory elements 6 of a static type which are respectively arranged in the respective intersected parts of the scanning lines 3 and the signal lines 4 and hold the binary display signals from the signal lines 4 according to the scanning signals from the scanning lines 3, switching elements 7 which are connected at one-side terminals to the pixel electrodes 2 and at their other-side terminals to wirings 5 applying reference potential and are turned on and off by the signals held in these memory elements 6, a second substrate which is arranged to face the first substrate and is provided with counter electrodes 8 so as to face the pixel electrodes 2 and a liquid crystal layer 10 which is disposed between the first and second substrates.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Laid-Open Patent Publication No. 8-194205/1996

(Tokukaihei 8-194205) (Published on July 30, 1996)

(A) Relevance to Claims

The following is a translation of passages related to all the claims of the present invention.

(B) Translation of Relevant Passages

[0026] Fig. 2(a) is a circuit diagram showing the arrangement of a pixel of the present embodiment. A binary-data-holding memory device 6 has an output section to output stored data and is connected to each intersection of scan lines 3 and signal lines 4 that are disposed to form a matrix. To the output section is connected a control terminal of a three-terminal switch 7 which controls the resistance between a reference line 5 and a pixel electrode 2 to adjust the bias applied to a liquid crystal layer 10.

[0027] As an example, the memory device in Figure 2(a) is a static memory device, a memory circuit that includes two-stage inverters to form a feedforward loop. An advantage of the circuit is that it can be built around

-2-

a transistor element which is unusable as an analogue signal element due to its poor off characteristics.

(1)

(8)

ことが予め分かっているため、制限結果表示の部分に対応した画面を走査してメモリ電子への信号供給を行えばよいことになる。

[0050] この場合も、表示装置側での設定で対応できる。さらに細かくは、個別表示で走査されるライン数が少なければ、本装置の効果が高くなるので、画面表示部分が特定の選択した走査ライン上に集中するように、並列表示の画面をレイアウトすればよい。

(実施例5) 図9は本発明の第5の実施例に係わるアクティーフマトリックス型液晶表示装置の1ブロックの構成回路構成図である。

[0051] ここでは、4ビット16階層表示の場合で示す。

ある。表示装置全体の構成プロックをM×N個としたときのi,j番目のブロック(iは1~M, jは1~N)について示している。パソコンで現在主流のVGA規格の表示の場合、M=640, N=480となる。

[0052] 画面X方向のアドレス線ADR-S-Xiと画面Y方向のアドレス線ADR-S-Yiとの交点にANDゲートGijが設けられ、その出力と4本の画像データ線D0~D3の各々の交点にANDゲートG0ij~G3ijが設けられている。ANDゲートG0ij~G3ijの出力はメモリ電子M0ij~M3ijに記憶され、メモリ電子M0ij~M3ijの出力はスイッチングスタT0ij~T3ijのゲート電極に接続され、スイッチングトランジスタT0ij~T3ijのオンオフを制御する。スイッチングトランジスタT0ij~T3ijのソース又はドレイン端子の一方は第1の共通電極COM1に、他方は画面電極を介して画面の液晶P0ij~P3ijに接続されている。

[0053] なお、本実施例のメモリ電子は第1の実施例で用いたようなスタイル型に限らず、ダイナミック型でもよいし、さらにEEPROMでもよく、各種の方式を利用することができます。

[0054] 画面電極の面積はそれそれ異なり、図10に示すように、P0に対応した画面電極の面積を1とするとP1は2倍、P2は4倍、P3は8倍になっている。画面の面積P0ij~P3ijの他物は共通電極である。

[0055] 第2の実施例は、画面X方向のアドレス線ADR-S-Xiと画面Y方向のアドレス線ADR-S-Yiが共にアクティブの出力M0ij~M3ijに記憶され、次に再び選択されるまでその状態を保持し続ける。対向電極には、用いた液晶の選択に必要な一定の交流電圧(例えば現在一般に使われているTN液晶では±5Vの10V程度の电压)が印加されるが、この1画面毎に印加されたメモリ回路M0ij~M3ijによって制御されるスイッチングトランジスタT0ij~T3ijによって、画面の

液晶P0ij~P3ijには上部電極電圧が印加されるが印加されないかが制御され、所要の表示状態が維持される。

[0056] 従来のアクティーフマトリックス液晶表示装置では、データ線選択回路や制御回路の内部等総合的な問題で、片向電極電圧の高還元放電のなどに大部の能力が消費されていたが、本実施例では、従来のように表示画像が変化しなくても交流駆動を適用するよりも可能である。その他、本発明のためにデータ線に一定周期の活性反転された信号を印加する必要がなく、データ線選択回路や制御回路はほぼ停止状態のため、そこで消費される電力は殆ど無視できるほど小さくなる。唯一消費される電力は片向電極の直流通路によるものとなるが、これはプリッカが規定されない程度の例では60Hz以下の低い周波数で十分なため、消費電力は従来驱动法の100分の1から100分の1程度で低減される。

[0057] この理由を、以下に説明する。片向電極全体の各ICは、片向電極Sと液晶の駆動電圧Vd、キャップでは決定され、 $C_{on} = \epsilon S/d$ となり、10インチクラスの液晶表示装置の場合その値は0.1~0.3mF程度である。この各ICは周波数fdv、駆動電圧Vdrvの交直混用で充放電させるに消費される電力 P_{on} は、 $P_{on} = C_{on} \cdot f_{dv} \cdot V_{drv}^2$ で与えられ、 $\pm 5V$ で80Hzで駆動した場合には、 $1.5mW \sim 0.45mW$ と非常に小さいものになる。実際には、液晶のリード抵抗やメモリ回路や制御回路内のリード電線による電力消費がそれに加算されるが、全体としての消費電力はそれでも1mWから数10mW程度に小さく抑えられる。

[0058] さらに、液晶電極が所定電圧にブロック化され、そのプロック内の画面電極の寸法がそれそれ異なることにより、1ブロックとして面積電極によるデジタル多階層表示が容易となる。従来の驱动法でこのような画面表示をしようとしたときの以下の問題が発生せず、初めて高画質の表示品位が得られる。

[0059] 驅動回路では、JFETなどのスイッチ電子が持つ寄生容量によってスイッチング時に、表示性能に影響を及ぼす画面電極のレベルシフトが発生するが、このレベルシフトは上記寄生容量と画面電極電圧とのスイッチングノイズの分離比で決まり、画面電極の寸法が異なるとレベルシフトは画面電極により対応する回路によっても顕著化することが確認でき、実質的に画面電極は不可避であった。

[0060] 本実施例では、このスイッチングノイズによるレベルシフトは、液晶のリード抵抗を通じてスイッチング後後の初期に消去するため、表示性能に影響を及ぼすことがなく、画面電極によるデジタル多階層表示が可能である。また、この方法では画面の1画面表示時でも視野角は広く、表示むらやフリッカもな

い極めて良好な表示品位が得られる。

[0061] なお、本発明は上述した各実施例に限定されないので、実施例では、表示材料目として液晶

を用いたが、これに限らず他の材料を用いることができる。例えば、ELやプラスマディスプレイ等に適用することができる。また、液晶の場合は、反射型に限らず透過型に適用することも可能である。その他、本発明の要旨を達成することも可能である。その他の、本発明のためにデータ線に一定周期の活性反転された信号を印

加する必要がなく、データ線選択回路や制御回路はほぼ停止状態のため、そこで消費される電力は殆ど無視できるほど小さくなる。唯一消費される電力は片向電極の直流通路によるものとなるが、これはプリッカが規定されない程度の例では60Hz以下の低い周波数で十分なため、消費電力は従来驱动法の100分の1から100分の1程度で低減される。

[0062] [図4] 第1の実施例における選択回路を示す回路構成図。

[図5] 第1の実施例における選択回路の1例を示す回路構成図。

[図6] 第1の実施例における選択回路の他の例を示す回路構成図。

[図7] 第2の実施例における選択回路の1例を示す回路構成図。

[図8] 第2の実施例における選択回路の一例を示す回路構成図。

[図9] 第1の実施例に係わるアクティーフマトリックス型液晶表示装置の1ブロックの構成回路構成図。

[図10] 第1の実施例における選択回路の1例を示す回路構成図。

[図11] 第2の実施例における選択回路の1例を示す回路構成図。

[図12] 第1の実施例における選択回路の他の例を示す回路構成図。

[図13] 第1の実施例の变形例を示す回路構成図。

[図14] 第2の実施例における選択回路の他の例を示す回路構成図。

[図15] 第1の実施例における選択回路の他の例を示す回路構成図。

[図16] 第1の実施例における選択回路の他の例を示す回路構成図。

[図17] 第2の実施例における選択回路の他の例を示す回路構成図。

[図18] 第2の実施例における選択回路の他の例を示す回路構成図。

[図19] 第1の実施例における選択回路の他の例を示す回路構成図。

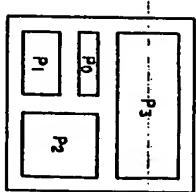
[図20] 第1の実施例における選択回路の他の例を示す回路構成図。

[図21] 第1の実施例における選択回路の他の例を示す回路構成図。

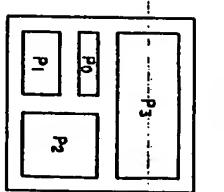
[図22] 第1の実施例における選択回路の他の例を示す回路構成図。

[図23] 第1の実施例における選択回路の他の例を示す回路構成図。

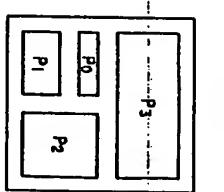
[図24] 第1の実施例における選択回路の他の例を示す回路構成図。



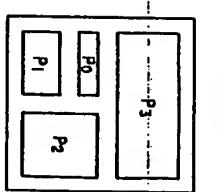
[図10]



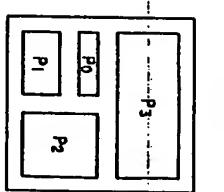
[図11]



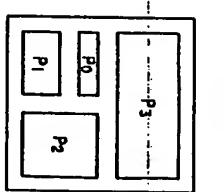
[図12]



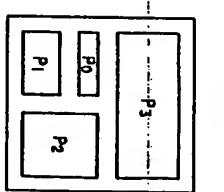
[図13]



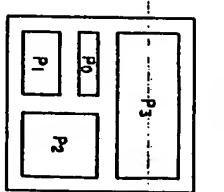
[図14]



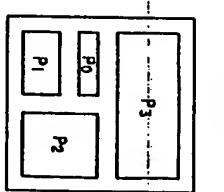
[図15]



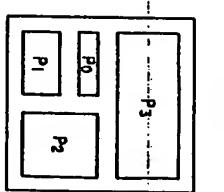
[図16]



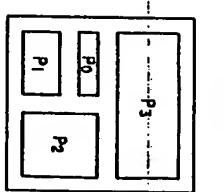
[図17]



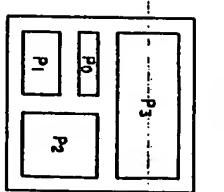
[図18]



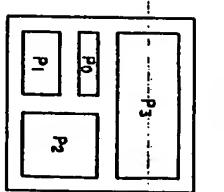
[図19]



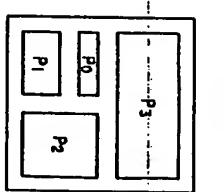
[図20]



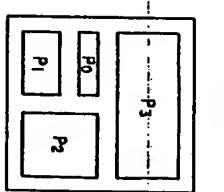
[図21]



[図22]



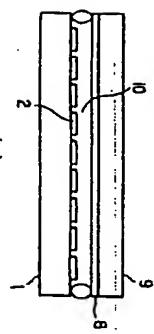
[図23]



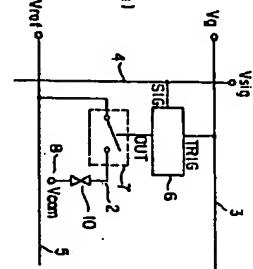
[図24]

(9)

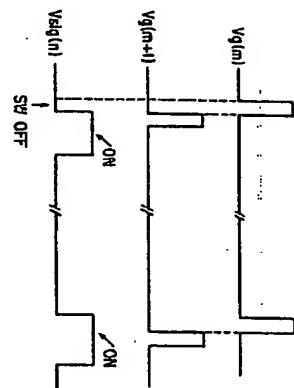
[図1]



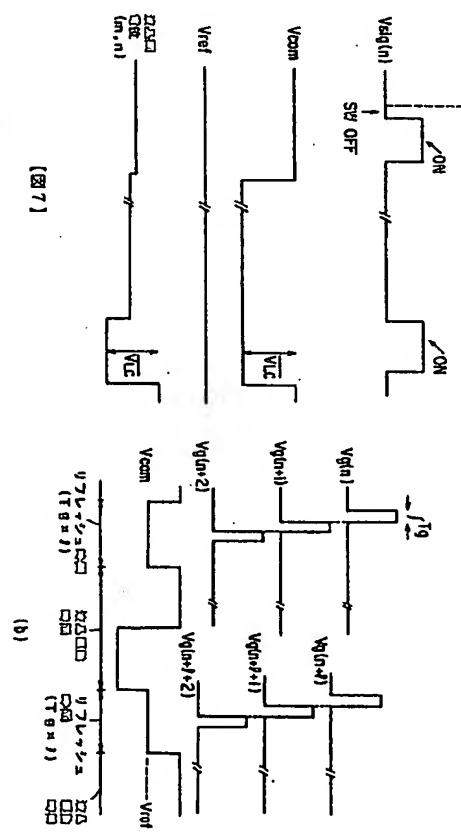
[図2]



[図5]

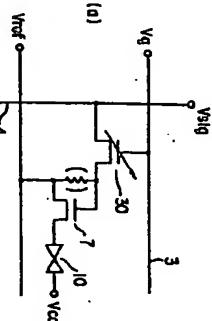


[図6]

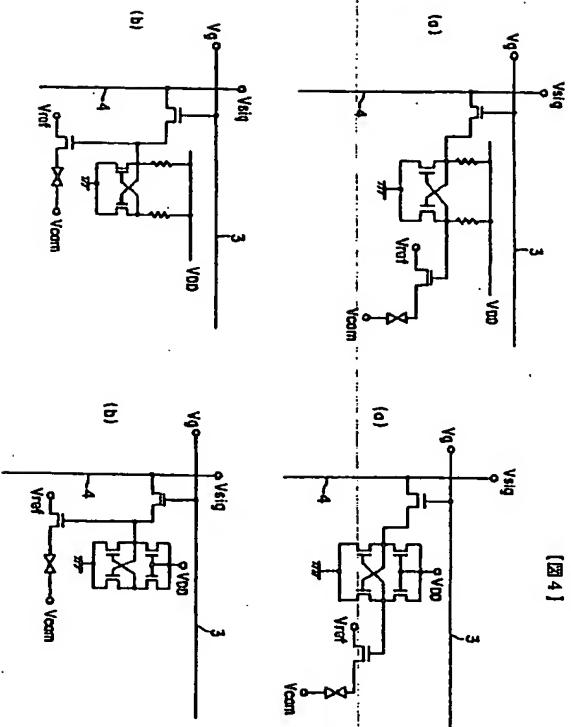
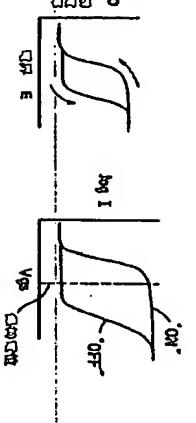


(10)

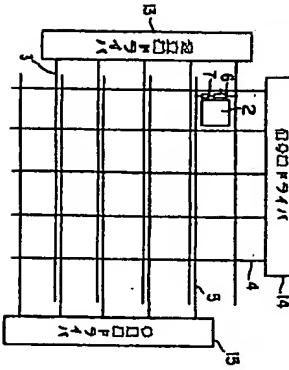
[図7]



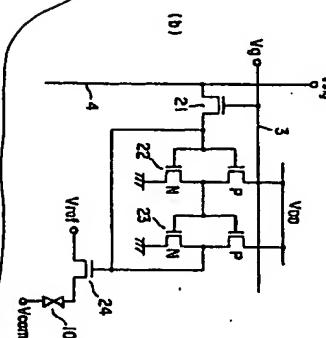
[図8]



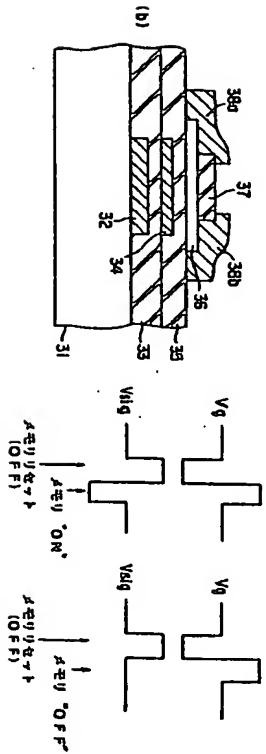
[図3]



[図4]

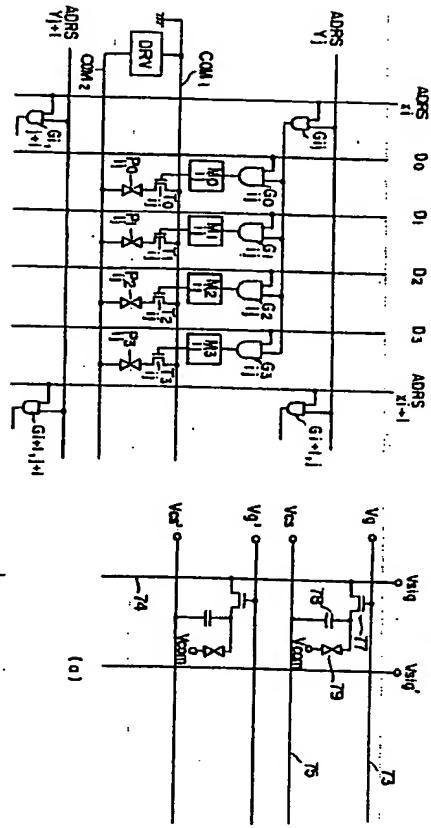


[図11]

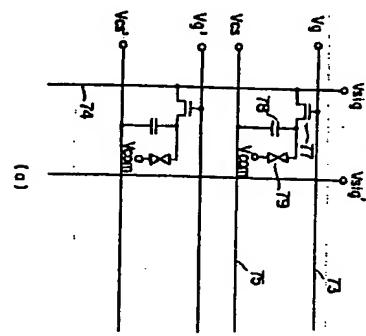


(1)

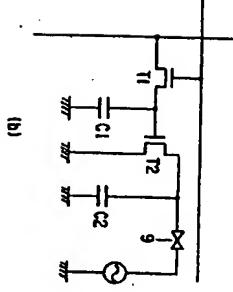
[図9]



[図11]



(a)



(b)